

# Indice

---

<b>Presentazione dell'edizione italiana</b>	<b>XV</b>
<b>Prefazione</b>	<b>XVII</b>
<b>1 La struttura di base dell'hardware e del software di un calcolatore</b>	<b>1</b>
1.1 Le unità funzionali	1
1.2 I concetti operativi di base	7
1.3 La struttura del bus	9
1.4 Il software	11
1.5 Le prestazioni	13
1.6 L'elaborazione distribuita	16
1.7 Prospettiva storica	17
1.8 Considerazioni conclusive	19
Esercizi	19
Riferimenti bibliografici	21
<b>2 Modalità di indirizzamento e di organizzazione delle istruzioni</b>	<b>23</b>
<i>Parte I: concetti di base</i>	<i>23</i>
2.1 Locazioni di memoria, indirizzi e codifica delle informazioni	24
2.2 Le operazioni sulla memoria	28
2.3 Le istruzioni e il loro ordinamento	28
2.3.1 L'esecuzione delle istruzioni e le sequenze lineari	32
2.3.2 I salti	33
2.4 Le modalità di indirizzamento	37
2.5 Il linguaggio assembler	44
2.5.1 I comandi dell'assembler	45
2.5.2 Assemblaggio ed esecuzione dei programmi	48
2.5.3 Notazione dei numeri	50
2.6 Operazioni fondamentali di ingresso/uscita	50
2.7 Pile e code	53
2.8 Le procedure	57
2.8.1 Il passaggio dei parametri	59

• <i>Parte II: l'esempio del 68000</i>	61
2.9 Registri e modalità di indirizzamento	61
2.9.1 La struttura dei registri del 68000	63
2.9.2 Indirizzamento	63
2.10 Istruzioni	67
2.11 Il linguaggio assembler	71
2.12 Il controllo del flusso di un programma	72
2.12.1 I flag dei codici di condizione	72
2.12.2 Le istruzioni di salto	72
2.13 Un esempio di programma di ordinamento	76
2.14 Le istruzioni logiche	77
2.15 Le operazioni di I/O controllato da programma	79
2.16 Le pile e le procedure	79
2.16.1 Procedure annidate	80
• <i>Parte III: l'esempio del PowerPC</i>	82
2.17 L'organizzazione di base del processore PowerPC	83
2.18 Le istruzioni Load e Store	87
2.19 Le istruzioni logiche e aritmetiche	90
2.19.1 Operandi su registro	90
2.19.2 Operandi immediati	91
2.19.3 Scorrimento di operandi immediati	91
2.19.4 I codici di condizione	93
2.20 Le istruzioni di controllo di flusso	94
2.20.1 Modalità di indirizzamento per le istruzioni di salto	95
2.20.2 Le condizioni di salto	97
2.20.3 Il registro Count	98
2.21 Le istruzioni di confronto	99
2.21.1 Un esempio di programma di ordinamento	100
2.22 Le istruzioni logiche	102
2.22.1 Uso di più campi CR	103
2.23 Le procedure	105
2.24 Considerazioni conclusive	108
Esercizi	108
• <b>3 L'unità di elaborazione</b>	<b>119</b>
3.1 Alcuni concetti fondamentali	119
3.1.1 Il prelievo di una parola dalla memoria	122
3.1.2 La memorizzazione di una parola nella memoria	123
3.1.3 I trasferimenti fra registri	123
3.1.4 Esecuzione di un'operazione logica o aritmetica	125
3.1.5 Le porte di I/O dei registri e la durata dei trasferimenti dei dati	125
3.2 Esecuzione di un'istruzione completa	127
3.2.1 Salto	128
3.3 Controllo cablato	129
3.3.1 Interazione fra memoria e CPU	133
3.3.2 Aspetti pratici della realizzazione dei circuiti	135

3.4 Considerazioni sulle prestazioni	135
3.4.1 Organizzazione a bus multipli	136
3.4.2 Ulteriori miglioramenti	138
3.4.3 Una CPU completa	139
3.5 Controllo microprogrammato	140
3.5.1 Microistruzioni	142
3.5.2 L'organizzazione di un microprogramma	145
3.5.3 Le microistruzioni con un campo per l'indirizzo successivo	150
3.5.4 Il prelievo anticipato delle microistruzioni	153
3.5.5 Emulazione	155
3.6 Considerazioni conclusive	156
Esercizi	156
<b>4 L'organizzazione della comunicazione di I/O</b>	<b>163</b>
4.1 Dispositivi di accesso I/O	163
4.2 Interrupt	167
4.2.1 Abilitazione e disabilitazione degli interrupt	169
4.2.2 La gestione di più dispositivi	171
4.2.3 Il controllo delle richieste dei dispositivi	176
4.2.4 Eccezioni	177
4.2.5 Utilizzo degli interrupt nei sistemi operativi	178
4.3 Esempi di processori	181
4.3.1 La struttura degli interrupt nel processore 68000	182
4.3.2 La struttura degli interrupt nel processore PowerPC	183
4.3.3 Esempio di un programma di interrupt	185
4.4 Accesso diretto alla memoria	187
4.4.1 Arbitraggio del bus	190
4.5 Hardware per il trasferimento di I/O	193
4.5.1 Il bus del processore	193
4.5.2 Circuiti di interfaccia	198
4.6 Interfacce standard di I/O	207
4.6.1 Il bus SCSI	209
4.6.2 Bus standard di sistema	213
4.7 Considerazioni conclusive	214
Esercizi	214
Riferimenti bibliografici	221
• <b>5 La memoria</b>	<b>223</b>
5.1 Alcuni concetti fondamentali	223
5.2 Memorie RAM a semiconduttore	227
5.2.1 Organizzazione interna di un chip di memoria	227
5.2.2 Memorie statiche	228
5.2.3 Memorie dinamiche	230
5.2.4 Considerazioni sui sistemi di memoria	233
5.3 Memorie a sola lettura	238
5.4 Velocità, dimensioni e costo	240

5.5	Le memorie cache	241
5.5.1	Funzioni di traduzione (mapping)	243
5.5.2	Algoritmi di sostituzione	248
5.5.3	Esempi di tecniche di indirizzamento	249
5.5.4	Esempi di cache sulla piastra madre	252
5.6	Considerazioni sulle prestazioni	256
5.6.1	Interallacciamento	257
5.6.2	Frequenza di successo e penalità di fallimento	259
5.6.3	Memorie cache sul chip della CPU	261
5.6.4	Altri miglioramenti	262
5.7	Le memorie virtuali	264
5.7.1	La traduzione dell'indirizzo	265
5.8	I requisiti da soddisfare con la gestione della memoria	269
5.9	Considerazioni conclusive	270
	Esercizi	271
	Riferimenti bibliografici	276
<b>6</b>	<b>Aritmetica</b>	<b>277</b>
6.1	La rappresentazione dei numeri	277
6.2	Addizione di numeri positivi	279
6.3	La progettazione di sommatore veloci	280
6.4	Addizione e sottrazione con segno	284
6.4.1	L'overflow nell'aritmetica intera	287
6.5	L'aritmetica e le condizioni di salto	289
6.6	Moltiplicazione di numeri positivi	290
6.7	Moltiplicazione di operandi con segno	293
6.7.1	L'algoritmo di Booth	294
6.8	La moltiplicazione veloce	296
6.8.1	Codifica del moltiplicatore a coppie di bit	297
6.8.2	Somma degli addendi con salvataggio dei riporti	298
6.9	La divisione di numeri interi	302
6.10	Numeri e operazioni in virgola mobile	306
6.10.1	Operazioni aritmetiche sui numeri in virgola mobile	310
6.10.2	I bit di guardia e il troncamento	311
6.10.3	Realizzazione delle operazioni su numeri in virgola mobile	313
6.11	Considerazioni conclusive	315
	Esercizi	316
	Riferimenti bibliografici	324
<b>7</b>	<b>Pipelining</b>	<b>325</b>
7.1	I concetti di base	325
7.1.1	Il ruolo della memoria cache	330
7.1.2	Vincoli di dipendenza	332
7.2	La coda delle istruzioni	334
7.3	La gestione dei salti	335
7.3.1	Salto ritardato	337
7.3.2	Predizione di salto	338

7.4	Dipendenza fra dati	341
7.4.1	Effetti collaterali	345
7.5	Effetti del pipelining sul progetto dell'insieme di istruzioni	346
7.5.1	Modalità di indirizzamento	346
7.5.2	I codici di condizione	349
7.6	Unità di esecuzione multiple	350
7.7	Analisi delle prestazioni	357
7.7.1	Effetti delle penalità di ritardo	358
7.7.2	Numero di stadi della pipeline	360
7.8	Considerazioni conclusive	361
	Esercizi	361
<b>8</b>	<b>Esempi di processori CISC, RISC e a pila</b>	<b>365</b>
8.1	La famiglia Motorola 680X0	366
8.1.1	Il processore 68020	366
8.1.2	Miglioramenti nel processore 68030	369
8.1.3	Ulteriori miglioramenti nel processore 68040	369
8.2	La famiglia Intel 80X86	369
8.2.1	Segmentazione della memoria	370
8.2.2	Struttura dei registri	371
8.2.3	La generazione degli indirizzi di memoria e di I/O	372
8.2.4	I processori 80286 e 80386	373
8.2.5	Il processore Intel 80486	375
8.2.6	Il processore Intel Pentium	375
8.2.7	Il processore Intel P6	376
8.3	La famiglia PowerPC	377
8.3.1	Il processore PowerPC 601	378
8.3.2	Il processore PowerPC 603	378
8.3.3	Il processore PowerPC 604	378
8.3.4	Il processore PowerPC 620	379
8.4	La famiglia Alpha AXP	379
8.4.1	Il processore Alpha 21064	379
8.5	Confronti architetturali e di prestazioni	381
8.5.1	Confronto fra i processori PowerPC e Alpha	381
8.6	Un processore a pila	386
8.6.1	La struttura a pila	386
8.6.2	Le istruzioni che fanno riferimento alla pila	389
8.6.3	I registri hardware sulla pila	392
8.7	Considerazioni conclusive	394
	Esercizi	395
	Riferimenti bibliografici	397
<b>9</b>	<b>Le periferiche</b>	<b>399</b>
9.1	Dispositivi di I/O	399
9.1.1	Terminali video	399
9.1.2	Comunicazione con un terminale remoto	401

9.1.3	Display video	407
9.1.4	Display a schermo piatto	408
9.1.5	Dispositivi grafici di ingresso	409
9.1.6	Stampanti	409
9.2	Memorizzazione on-line	411
9.2.1	Dischi magnetici	411
9.2.2	Nastri magnetici	418
9.2.3	CD-ROM	420
9.3	Considerazioni sulle prestazioni di sistema	421
9.3.1	Considerazioni sull'accesso al disco	421
9.3.2	Considerazioni sulle linee di comunicazione	423
9.4	Considerazioni conclusive	424
	Esercizi	424
	Riferimenti bibliografici	427
<b>10</b>	<b>Sistemi di calcolo di grandi dimensioni</b>	<b>429</b>
10.1	Forme di elaborazione parallela	430
10.1.1	Classificazione delle architetture parallele	431
10.2	Processori ad array	431
10.3	La struttura dei multiprocessori di uso generale	433
10.4	Reti di interconnessione	435
10.4.1	Bus singolo	436
10.4.2	Reti a barre incrociate (crossbar)	437
10.4.3	Reti multistadio	438
10.4.4	Reti a ipercubo	440
10.4.5	Reti a matrice (mesh)	442
10.4.6	Reti ad albero	442
10.4.7	Reti ad anello	443
10.4.8	Considerazioni pratiche	444
10.4.9	Reti a topologia mista	448
10.5	L'organizzazione della memoria nei multiprocessori	449
10.6	Parallelismo nei programmi e variabili condivise	450
10.6.1	L'accesso a variabili condivise	452
10.6.2	La coerenza della cache	454
10.7	Multicalcolatori	457
10.7.1	Reti locali	458
10.7.2	Rete di workstation	460
10.8	Il punto di vista del programmatore in relazione alla memoria condivisa e allo scambio di messaggi	460
10.8.1	Caso con memoria condivisa	461
10.8.2	Caso dello scambio di messaggi	463
10.9	Considerazioni relative alle prestazioni	465
10.9.1	La legge di Amdahl	466
10.9.2	Indicatori di prestazioni	468
10.10	Considerazioni conclusive	469
	Esercizi	469
	Riferimenti bibliografici	472

APPENDICI	475	
<b>A</b>	<b>Circuiti logici</b>	<b>477</b>
A.1	Funzioni logiche di base	477
A.1.1	Porte logiche elettroniche	481
A.2	Sintesi di funzioni logiche tramite l'utilizzo di porte AND, OR e NOT	481
A.3	Minimizzazione di espressioni logiche	483
A.3.1	Minimizzazione mediante le mappe di Karnaugh	486
A.3.2	Condizioni di indifferenza	489
A.4	Sintesi con porte NAND e NOR	490
A.5	Realizzazione pratica delle porte logiche	494
A.5.1	Famiglie logiche	496
A.5.2	Package di circuiti integrati	504
A.6	Bistabili	507
A.6.1	Bistabili sincroni	507
A.6.2	Bistabili master-slave ed edge-triggered	509
A.7	Registri e registri a scorrimento	515
A.8	Contatori	516
A.9	Decodificatori	518
A.10	Multiplexer	518
A.11	Dispositivi logici programmabili	521
A.11.1	PLA	522
A.11.2	PAL	524
A.12	Array di porte logiche programmabili sul campo	526
A.13	Circuiti sequenziali	528
A.13.1	Un esempio di contatore bidirezionale	528
A.13.2	Diagrammi temporali	531
A.13.3	Il modello della macchina a stati finiti	532
A.13.4	Sintesi di macchine a stati finiti	533
A.14	Considerazioni conclusive	537
	Esercizi	538
	Riferimenti bibliografici	545
<b>B</b>	<b>Insieme di istruzioni del PowerPC</b>	<b>547</b>
<b>C</b>	<b>Insieme di istruzioni del 68000</b>	<b>559</b>
<b>D</b>	<b>Codici alfanumerici e conversione dei numeri</b>	<b>577</b>
D.1	I codici alfanumerici	577
D.2	Conversione da decimale a binario	580