

Indice

| | |
|---|----|
| <i>Prefazione</i> | 11 |
| Cap. I: Reti combinatorie | |
| 1. Richiami teorici | 13 |
| 2. Decodificatore completo - Demultiplexer | 15 |
| 2.1 Decodificatore | 15 |
| 2.2 Demultiplexer | 16 |
| 3. Decodificatore decimale | 17 |
| 4. Codificatore a priorità | 19 |
| 5. Trascodificatore per visualizzatore a 7 segmenti | 22 |
| 6. Multiplexer | 25 |
| 7. Rete di parità | 26 |
| 8. Full adder | 28 |
| 9. Decodificatore composto | 29 |
| 10. Multiplexer composto | 31 |
| 11. Generatore di funzioni booleane | 32 |
| 11.1 Progetto con multiplexer | 32 |
| 11.2 Progetto in logica folded | 34 |
| 12. Anticipatore di riporti | 35 |
| Cap. II: Alee | |
| 1. Richiami teorici | 39 |
| 2. Alea multipla | 40 |
| 3. Alea statica | 42 |
| 4. Alea dinamica | 44 |
| 5. Impulsi concomitanti | 45 |
| 6. Alea essenziale | 46 |
| Cap. III: Flip flop | |
| 1. Richiami teorici | 49 |

| | | |
|-----|--|-----|
| 2. | Il flip-flop RS..... | 51 |
| 3. | RS fondamentale: punti di indifferenza..... | 54 |
| 4. | RS fondamentale: timing..... | 56 |
| 5. | RS edge triggered (master slave)..... | 58 |
| | 5.1 RS sul fronte di salita..... | 58 |
| | 5.2 RS sul fronte di discesa..... | 61 |
| | 5.3 RS master-slave..... | 62 |
| 6. | Il flip-flop D..... | 62 |
| 7. | D latch dinamico..... | 63 |
| 8. | D sincrono con RS latch..... | 65 |
| 9. | D sincrono con RS edge (master-slave)..... | 66 |
| | 9.1 D sul fronte di salita..... | 66 |
| | 9.2 D sul fronte di discesa..... | 69 |
| 10. | D edge con 2 RS..... | 70 |
| | 10.1 D sul fronte di salita..... | 70 |
| | 10.2 D sul fronte di discesa..... | 73 |
| 11. | D edge con 3 RS..... | 74 |
| 12. | D master-slave asincrono..... | 80 |
| 13. | Il flip-flop T..... | 81 |
| 14. | T sincrono con RS latch: timing..... | 82 |
| 15. | T sincrono con RS edge..... | 85 |
| | 15.1 T semplice..... | 85 |
| | 15.2 T abilitato..... | 87 |
| 16. | T asincrono..... | 87 |
| 17. | T asincrono con 2 RS..... | 89 |
| 18. | Il flip-flop JK..... | 91 |
| 19. | JK sincrono con RS latch..... | 92 |
| 20. | JK sincrono con RS edge (master/slave)..... | 94 |
| | 20.1 JK sul fronte di salita..... | 95 |
| | 20.2 JK sul fronte di discesa..... | 95 |
| | 20.3 JK master-slave..... | 96 |
| 21. | JK master-slave tutte nor (o nand)..... | 97 |
| | 21.1 Master-slave a NOR..... | 98 |
| | 21.2 Master-slave a NAND..... | 99 |
| 22. | JK edge con 2 RS..... | 101 |
| 23. | JK edge con RS e rete di posizionamento..... | 103 |

Cap. IV: Reti sequenziali asincrone

| | | |
|----|--------------------------------------|-----|
| 1. | Macchine sequenziali..... | 107 |
| 2. | Reti asincrone..... | 108 |
| 3. | Riconoscitore di parità..... | 111 |
| 4. | Riconoscitore di sequenza..... | 114 |
| 5. | Interruttore ideale..... | 120 |
| 6. | Simulatore di ritardo inerziale..... | 124 |
| 7. | Flip-flop a 3 stati..... | 129 |

Cap. V: Reti sequenziali sincrone

| | | |
|-----|--|-----|
| 1. | Sequenze a livelli e sincrone..... | 137 |
| 2. | Modelli di reti sincrone..... | 140 |
| | 2.1 Reti sincrone..... | 140 |
| | 2.2 Modello a sincronizzazione esterna..... | 141 |
| | 2.3 Modello autosincronizzato..... | 142 |
| | 2.4 Trasformazione di sequenze..... | 144 |
| 3. | Riconoscitore di evento..... | 146 |
| | 3.1 Rete autosincronizzata..... | 146 |
| | 3.2 Rete a sincronizzazione esterna..... | 149 |
| 4. | Riconoscitore di sequenza con uscita impulsiva..... | 150 |
| 5. | Riconoscitore di sequenza con uscita a livelli..... | 153 |
| 6. | Riconoscitore di codice 8421..... | 155 |
| 7. | Riconoscitore di due sequenze..... | 159 |
| 8. | I contatori..... | 163 |
| | 8.1 Contatore binario sincrono..... | 165 |
| | 8.2 Contatore binario asincrono..... | 168 |
| 9. | Contatore bidirezionale..... | 169 |
| 10. | Contatore composto..... | 171 |
| 11. | Contatore modulo 10..... | 173 |
| | 11.1 Contatore indipendente..... | 173 |
| | 11.2 Contatore basato su un modulo-16..... | 176 |
| 12. | Contatore ad incremento variabile..... | 178 |
| 13. | Arbitro per la gestione di risorse..... | 185 |
| 14. | Registri a scorrimento..... | 190 |
| 15. | Registro a scorrimento bidirezionali..... | 193 |
| 16. | Generatore di sequenza con registro a scorrimento..... | 195 |

Cap. VI: Reti composte

| | | |
|-----|---|-----|
| 1. | Sistemi e reti composte..... | 197 |
| 2. | Riconoscitore di codice 8421 con contatore..... | 200 |
| 3. | Decomposizione parallela..... | 206 |
| 4. | Controllo di parità sequenziale..... | 210 |
| 5. | Adder seriale..... | 214 |
| 6. | Cronometro..... | 221 |
| 7. | Ricevitore seriale..... | 227 |
| 8. | Distributore automatico..... | 235 |
| 9. | Convertitore di caratteri..... | 241 |
| 10. | Riconoscitore di sequenze con registri a scorrimento..... | 246 |