

<b>Prefazione</b>	XV
<b>Ringraziamenti dell'Editore</b>	XIII
<b>Unità di misura</b>	XIX
<b>1 Introduzione</b>	1
1.1 Qualche cenno storico	2
1.1.1 I microprocessori	3
1.2 Uno sguardo all'evoluzione tecnologica	9
1.2.1 I costi	12
1.3 Architettura e organizzazione	13
1.4 Livelli e astrazioni	14
1.5 Siti web	15
Domande ed esercizi	16
<b>2 Rappresentazione dell'informazione</b>	17
2.1 Numerazione posizionale	18
2.1.1 Esempi di numeri in basi diverse	18
2.2 Conversione di base	20
2.2.1 Conversione tra base 10 e base 2	20
2.2.2 Conversione tra base $B^k$ e base $B$	20
2.2.3 Conversione tra generiche basi	21
2.3 Aritmetica binaria	21
2.4 Numeri negativi	23
2.4.1 Rappresentazione in complemento dei numeri decimali	24
2.4.2 Rappresentazione in complemento dei numeri binari	25
2.4.3 Moltiplicazione	27
2.4.4 Algoritmo di Booth	27
2.5 Numeri frazionari	29
2.5.1 Numeri in virgola fissa	30
2.6 Numeri in virgola mobile	30
2.6.1 Rappresentazione normalizzata	31
2.6.2 Convenzione IBM	33
2.6.3 Convenzione Digital	34
2.7 Standard IEEE 754-1985 per l'aritmetica binaria in virgola mobile	35
2.7.1 Formato base	35
2.7.2 Precisione	37
2.7.3 Eccezioni	38
2.8 Operazioni in virgola mobile	38
2.9 Informazioni di carattere alfanumerico	39
2.9.1 Codifica ASCII	40
2.9.2 BCD	41
Domande ed esercizi	42

<b>3 Logica combinatoria</b>	45
3.1 Segnali digitali e reti logiche	46
3.2 Algebra delle reti	48
3.2.1 Esempi di circuiti che realizzano le operazioni dell'algebra	49
3.2.2 Proprietà dell'algebra	51
3.3 Forme canoniche	52
3.3.1 Prima forma canonica	52
3.3.2 Seconda forma canonica	53
3.3.3 Proprietà delle forme canoniche	54
3.4 Minimizzazione	55
3.4.1 Mappe di Karnaugh	55
3.4.2 Metodi algoritmici	58
3.4.3 Funzioni non completamente specificate – Condizioni di indifferenza	59
3.5 Altri operatori e altri tipi di porta	60
3.5.1 NAND e NOR	60
3.5.2 Reti con sole porte NAND o sole porte NOR	62
3.5.3 Una tecnica grafica per la trasformazione	62
3.5.4 XOR e NXOR	63
3.6 Notazione per i segnali	64
3.7 Qualche osservazione sulle porte logiche	65
3.8 Alcuni moduli combinatori	69
3.8.1 Decodificatori	70
3.8.2 Codificatori	70
3.8.3 Selettori	71
3.8.4 Arbitro di priorità	72
3.8.5 Memorie ROM	73
3.8.6 Matrici di logica programmabili	75
3.9 Unità aritmetiche e logiche	77
3.9.1 Semisommatore	77
3.9.2 Somma di due numeri interi	77
3.9.3 Sommatore completo	78
3.9.4 Ancora sul sommatore completo	81
3.9.5 Esempio di costruzione di un'unità aritmetica	82
3.10 Moltiplicazione e divisione tra interi	85
3.10.1 Moltiplicazione	86
3.10.2 Divisione	87
Domande ed esercizi	90
<b>4 Logica sequenziale</b>	93
4.1 Reti sequenziali	94
4.1.1 Modello generale	96
4.1.2 Rappresentazione delle funzioni di stato e di uscita	98
4.2 Reti sequenziali sincrone	100
4.2.1 Sincronizzazione	100
4.2.2 I flip-flop	101
4.2.3 Modello di rete sequenziale sincrona	103
4.2.4 Flip-flop Master-Slave	103
4.2.5 Differenze tra reti sincrone e asincrone	105

4.2.6 Flip-flop a commutazione sul fronte	106
4.2.7 Ingressi asincroni dei flip-flop	107
4.2.8 Modello di Mealy e modello di Moore	108
4.3 Progetto di reti sequenziali	111
4.4 Registri	113
4.5 Trasferimento dell'informazione	117
4.5.1 Struttura a bus	118
4.5.2 Tempificazione	119
Domande ed esercizi	121
<b>5 Elementi architetturali di base</b>	125
5.1 Struttura	126
5.1.1 Organizzazione	127
5.2 La memoria	128
5.3 La codifica delle istruzioni	129
5.3.1 Sequenze di istruzioni in memoria	132
5.4 La CPU	133
5.4.1 Parti componenti la CPU	134
5.4.2 Un esempio di organizzazione	135
5.5 Esecuzione delle istruzioni	136
5.5.1 Fase di fetch	136
5.5.2 Fase di esecuzione	137
5.6 Temporizzazione	138
5.6.1 Temporizzazione della fase di fetch	139
5.6.2 Esempio di temporizzazione della fase di esecuzione	140
5.6.3 Esempio completo di temporizzazione	140
5.7 I percorsi interni e il file dei registri	140
5.8 Due approcci alla progettazione della logica di controllo	142
5.8.1 Unità di controllo a logica cablata	143
5.8.2 Unità di controllo microprogrammata	145
5.8.3 Cablata o microprogrammata?	146
Domande ed esercizi	147
<b>6 Il repertorio delle istruzioni</b>	149
6.1 Programmi e processo di esecuzione	150
6.2 Istruzioni e architettura	151
6.2.1 Modello memoria-memoria	152
6.2.2 Modello registro-registro	152
6.2.3 Modello registro-memoria	153
6.2.4 Modello a stack	153
6.2.5 Classificazione	154
6.3 Sequenzializzazione delle istruzioni	154
6.3.1 Salto incondizionato	155
6.3.2 Salto condizionato	155
6.3.3 Le chiamate dei sottoprogrammi	156
6.3.4 Le interruzioni	156
6.4 Verso il repertorio delle istruzioni	157
6.5 Il repertorio delle istruzioni	160
6.5.1 Repertorio stile RISC	160
6.5.2 Repertorio stile CISC	161

6.5.3	Confronto RISC - CISC	163
6.6	Prestazioni della CPU	164
6.6.1	Calcolo del CPI	165
6.6.2	Legge di Amdahl	166
6.6.3	Popolari indici di prestazioni	167
6.7	Un repertorio di riferimento	169
6.7.1	Istruzioni aritmetiche	170
6.7.2	Istruzioni che fanno riferimento alla memoria	171
6.7.3	Istruzioni per il trasferimento del controllo	172
6.7.4	Istruzione di "non operazione"	174
6.7.5	Discussione	174
	<b>Appendice A - Il repertorio di istruzioni e il modello di memoria</b>	175
	<b>Appendice B - Tecniche per le chiamate dei sottoprogrammi</b>	179
	<b>Appendice C - Le interruzioni</b>	184
	<i>Domande ed esercizi</i>	187
<b>7</b>	<b>La CPU</b>	191
7.1	Esecuzione e sequenzializzazione delle istruzioni	192
7.2	CPU monociclo	193
7.2.1	Dimensionamento del periodo di clock	194
7.2.2	CPU monociclo con architettura Von Neumann	196
7.3	CPU multiciclo	196
7.3.1	Notazione	198
7.3.2	Fase di prelievo delle istruzioni, IF	198
7.3.3	Fase di decodifica delle istruzioni, ID	199
7.3.4	Fase di esecuzione, EX	200
7.3.5	Fase di memoria, ME	202
7.3.6	Fase di scrittura del registro di destinazione, WB	203
7.3.7	Ricomposizione	203
7.4	Sviluppo della logica di controllo	203
7.4.1	Comandi e selettori	203
7.4.2	Stati comuni a tutte le istruzioni	207
7.4.3	Stati dipendenti dal tipo di istruzione	208
7.4.4	Espressioni logiche per comandi e selettori	210
7.5	Considerazioni sulla realizzazione multiciclo	212
7.5.1	Miglioramenti al modello di CPU multiciclo	214
	<i>Domande ed esercizi</i>	226
<b>8</b>	<b>La pipeline</b>	229
8.1	Proprietà della pipeline	230
8.1.1	Prestazioni	231
8.1.2	Indici delle prestazioni	232
8.1.3	Considerazioni	233
8.2	Esecuzione in pipeline	234
8.2.1	Propagazione dei segnali	237
8.3	Le fasi di esecuzione	238
8.3.1	Istruzioni aritmetiche	238
8.3.2	Istruzioni Load/Store	240
8.3.3	Istruzioni di salto condizionato	242
8.3.4	Salti incondizionati	243

8.3.5	Sintesi del contenuto dei campi EX, ME, WB	243
8.3.6	L'unità di controllo	244
8.4	Conflitti	245
8.4.1	Conflitti strutturali	245
8.5	Conflitti sui dati	247
8.5.1	Sovrapposizione ID-WB	248
8.5.2	Riconoscimento del conflitto sui dati	248
8.5.3	Soluzione dei conflitti sui dati tramite stallo	249
8.5.4	Soluzione dei conflitti sui dati tramite anticipazione	251
8.6	Conflitti di controllo	253
8.6.1	Conflitti per salti incondizionati	254
8.6.2	Conflitti per le diramazioni	255
	<b>Appendice A - Le interruzioni in pipeline</b>	257
	<b>Appendice B - Predizione dinamica delle diramazioni</b>	260
	<i>Domande ed esercizi</i>	268
<b>9</b>	<b>Processori superscalari</b>	271
9.1	Pipeline con unità funzionali multiciclo	272
9.1.1	Esecuzione delle istruzioni	273
9.1.2	Prenotazioni del bus dei risultati	275
9.2	Completamento in ordine	276
9.2.1	Completamento in ordine rispetto ai registri	276
9.2.2	Completamento in ordine rispetto alla memoria	278
9.3	Metodo del buffer di riordinamento	278
9.4	Metodo dell'History Buffer	283
9.5	Conflitti di controllo	285
9.6	Esecuzione fuori ordine	287
9.7	Approfondimenti	288
	<b>Appendice A - La Pipeline nell'architettura PowerPc</b>	290
	<i>Domande ed esercizi</i>	294
<b>10</b>	<b>La memoria</b>	297
10.1	Classificazione	298
10.1.1	Parametri di valutazione	299
10.2	Le memorie RAM	299
10.2.1	Le memorie statiche	300
10.2.2	Le memorie dinamiche	301
10.3	Organizzazione della memoria centrale	304
10.3.1	Costruzione di una memoria	304
10.3.2	Le strutture di memoria correnti	307
10.3.3	Allineamento	308
10.3.4	Ordinamento	309
10.3.5	Interlacciamento	310
10.4	Relazione tra la velocità della CPU e la velocità della memoria principale	311
10.4.1	Caso di studio: evoluzione della velocità della famiglia 8086 in rapporto a quella delle DRAM	312
10.5	Dischi magnetici	315
	<i>Domande ed esercizi</i>	317
<b>11</b>	<b>La memoria cache</b>	319
11.1	Gerarchie di memoria	320

11.1.1	Gerarchia	320
11.2	La memoria cache	322
11.2.1	Cache a mappatura diretta	323
11.2.2	Cache completamente associativa	325
11.2.3	Cache parzialmente associativa	326
11.3	Operazioni di scrittura	327
11.3.1	Trattamento del miss in scrittura	327
11.3.2	Hit in scrittura	327
11.4	Lo stato della linea di cache	328
11.5	Rimpiazzamento delle linee di cache	330
11.5.1	Algoritmi LRU	331
11.5.2	Un algoritmo di rimpiazzamento pseudo LRU	333
11.6	Prestazioni	334
11.6.1	Un modello per i miss	334
11.6.2	Capacità della cache	335
11.6.3	Algoritmi di rimpiazzamento	337
11.6.4	Cache divisa o unificata	337
11.6.5	Cache multilivello	338
11.6.6	Prelievo della linea	339
11.6.7	Aggiornamento della memoria centrale	340
11.6.8	Posizionamento della cache	340
11.6.9	Multiprogrammazione	342
11.7	Sistemi a multiprocessore: coerenza della cache	342
11.7.1	Coerenza	343
11.7.2	Protocolli per il mantenimento della coerenza	344
11.7.3	Protocollo MESI	345
	<i>Domande ed esercizi</i>	350
<b>12</b>	<b>Gestione della memoria, memoria virtuale, protezione</b>	<b>355</b>
12.1	Panoramica	356
12.1.1	Il sistema operativo	356
12.1.2	Gestione della memoria	358
12.1.3	Programmi e processi	360
12.1.4	La protezione	362
12.1.5	La memoria virtuale	362
12.2	Paginazione	364
12.2.1	Dimensione della pagina	366
12.2.2	Il Translation Lookaside Buffer	367
12.3	Gestione della PMT	369
12.3.1	Memoria virtuale e multitasking	369
12.3.2	Tabella in forma gerarchica	371
12.4	Tabella delle pagine invertita	373
12.4.1	La codifica hash	374
12.4.2	Gestione della tabella IPT	375
12.4.3	Il problema delle catene troppo lunghe	376
12.4.4	Semplificazione della IPT	377
12.5	La segmentazione	378
12.5.1	Segmentazione e paginazione	380
12.6	Approfondimenti sulla gestione della memoria virtuale	380
12.6.1	Gestione della paginazione e della segmentazione	380

12.6.2	Algoritmi di rimpiazzamento	382
12.6.3	Occupazione della memoria	384
12.7	Caso di studio: la memoria virtuale nell'architettura $\times 86$	385
12.7.1	Indirizzamento in modo reale	386
12.7.2	Indirizzamento in modo protetto	390
12.7.3	Tabelle dei descrittori di segmento	392
12.7.4	Gestione della memoria fisica	393
12.7.5	Alias	393
12.7.6	Segmentazione e paginazione	396
12.7.7	Descrittori di pagina	397
12.8	Caso di studio: la memoria virtuale nell'architettura PowerPC	398
12.8.1	La IPT del PowerPC: la HPT	400
12.9	Protezione	400
12.9.1	Protezione nei sistemi senza memoria virtuale	402
12.9.2	Protezione nei sistemi a memoria virtuale	403
12.9.3	Protezione a livelli	404
12.10	La protezione nell'architettura $\times 86$	405
12.10.1	Criteri generali	410
12.10.2	I descrittori e la loro funzione	411
12.10.3	Criteri per il controllo dei privilegi	413
12.10.4	La protezione di pagina	415
	<i>Domande ed esercizi</i>	419
<b>13</b>	<b>Il sottosistema di ingresso/uscita</b>	<b>420</b>
13.1	Elementi di base del sottosistema di ingresso/uscita	423
13.2	Gestione a controllo di programma	424
13.2.1	Il sottoprogramma di gestione	425
13.3	Gestione sotto controllo di interruzione	426
13.4	Modello semplificato di sistema di interruzione	427
13.4.1	Esempio di routine di servizio	430
13.4.2	Le interruzioni non mascherabili	431
13.5	Interruzione da parte di più periferiche	431
13.5.1	Discriminazione da programma	433
13.6	Interruzioni vettorizzate	433
13.6.1	Linee di richiesta indipendenti	435
13.6.2	Vettorizzazione esterna	439
13.6.3	Interruzioni annidate	439
13.7	Interruzioni vettorizzate con daisy chain	440
13.7.1	Daisy chain asincrona	444
13.7.2	Daisy chain sincrona	444
13.8	L'accesso diretto alla memoria	446
13.8.1	Struttura e funzionamento del controllore DMA	447
13.8.2	Modalità di trasferimento singolo	447
13.8.3	Modalità di trasferimento a blocchi	448
13.9	Il bus di sistema	449
13.9.1	Standardizzazione	450
13.9.2	Operazioni sul bus del PC	451
13.9.3	Allocazione del bus	459
	<i>Domande ed esercizi</i>	459

<b>14 L'architettura x86</b>	473
14.1 Le ragioni di un grande successo . . . . .	474
14.2 Il micro 8086 . . . . .	476
14.2.1 Il modello di programmazione . . . . .	476
14.2.2 Organizzazione della memoria . . . . .	479
14.2.3 Osservazioni sull'organizzazione di memoria dell'8086 . . . . .	483
14.2.4 La fase di partenza . . . . .	483
14.3 Il repertorio delle istruzioni . . . . .	483
14.4 Modalità di indirizzamento . . . . .	485
14.4.1 Indirizzamento degli operandi . . . . .	485
14.4.2 Indirizzamento nei salti . . . . .	487
14.5 Modelli successivi all'8086 . . . . .	487
14.5.1 Il 286 . . . . .	487
14.5.2 Il 386 . . . . .	488
14.5.3 Il 486 . . . . .	489
14.5.4 Il Pentium® . . . . .	490
14.5.5 Il Pentium® Pro . . . . .	490
14.5.6 Il Pentium® 4 . . . . .	490
14.5.7 Il Pentium® M . . . . .	491
14.5.8 I multicore . . . . .	491
14.5.9 Sintesi . . . . .	492
14.6 Il Pentium® Pro . . . . .	492
14.6.1 Le microoperazioni . . . . .	492
14.6.2 Ridenominazione dei registri . . . . .	493
14.6.3 La pipeline e l'esecuzione dinamica . . . . .	494
14.6.4 La pipeline in dettaglio . . . . .	495
14.6.5 Considerazioni . . . . .	498
<i>Domande ed esercizi</i> . . . . .	499
<b>15 Il linguaggio assembler</b>	503
15.1 Generalità . . . . .	504
15.2 Sintassi . . . . .	506
15.3 Il processo di traduzione . . . . .	508
15.4 Collegamento tra i moduli . . . . .	510
15.4.1 Riferimenti web . . . . .	511
<b>16 Il simulatore SPIM</b>	513
16.1 Architettura MIPS . . . . .	514
16.1.1 I registri . . . . .	514
16.1.2 Modalità di indirizzamento . . . . .	515
16.1.3 Organizzazione della memoria . . . . .	515
16.2 Il simulatore SPIM . . . . .	515
16.2.1 Uso di SPIM . . . . .	516
16.2.2 Istruzioni . . . . .	517
<b>Bibliografia</b>	521
<b>Indice analitico</b>	525
<b>Sigle usate nel testo</b>	530