

# Sommario

Prefazione	XVII
Prefazione all'edizione italiana	XXI

<b>Capitolo 1</b>	<b>Introduzione</b>	<b>1</b>
<b>1.1</b>	<b>Approccio strutturale</b>	<b>2</b>
1.1.1	Linguaggi, livelli e macchine virtuali	2
1.1.2	Attuali macchine multilivello	4
1.1.3	Evoluzione delle macchine multilivello	8
<b>1.2</b>	<b>Pietre miliari nell'architettura dei computer</b>	<b>13</b>
1.2.1	Generazione zero – Computer meccanici (1642-1945)	13
1.2.2	Prima generazione – Valvole (1945-1955)	16
1.2.3	Seconda generazione – Transistor (1955-1965)	19
1.2.4	Terza generazione – Circuiti integrati (1965-1980)	22
1.2.5	Quarta generazione – Integrazione a grandissima scala (1980-?)	24
1.2.6	Quinta generazione – Computer a basso consumo e computer invisibili	27
<b>1.3</b>	<b>Tipologie di computer</b>	<b>29</b>
1.3.1	Forze tecnologiche ed economiche	29
1.3.2	Tipologie di computer	31
1.3.3	Computer usa e getta	32
1.3.4	Microcontrollori	34
1.3.5	Dispositivi mobili e da gioco	36
1.3.6	Personal computer	37
1.3.7	Server	37
1.3.8	Mainframe	40
<b>1.4</b>	<b>Esempi di famiglie di computer</b>	<b>40</b>
1.4.1	Introduzione all'architettura x86	41
1.4.2	Introduzione all'architettura ARM	46
1.4.3	Introduzione all'architettura AVR	49
<b>1.5</b>	<b>Unità metriche</b>	<b>50</b>
<b>1.6</b>	<b>Organizzazione del libro</b>	<b>51</b>
<b>Capitolo 2</b>	<b>Organizzazione dei sistemi di calcolo</b>	<b>55</b>
<b>2.1</b>	<b>Processori</b>	<b>55</b>
2.1.1	Organizzazione della CPU	56

2.1.2	Esecuzione dell'istruzione	58
2.1.3	RISC contro CISC	62
2.1.4	Principi di progettazione dei calcolatori moderni	63
2.1.5	Parallelismo a livello d'istruzione	65
2.1.6	Parallelismo a livello di processore	69
<b>2.2</b>	<b>Memoria principale</b>	<b>74</b>
2.2.1	Bit	74
2.2.2	Indirizzi di memoria	75
2.2.3	Ordinamento dei byte	76
2.2.4	Codici correttori	78
2.2.5	Memoria cache	82
2.2.6	Assemblaggio e tipi di memoria	86
<b>2.3</b>	<b>Memoria secondaria</b>	<b>87</b>
2.3.1	Gerarchie di memoria	87
2.3.2	Dischi magnetici	88
2.3.3	Dischi IDE	92
2.3.4	Dischi SCSI	94
2.3.5	RAID	95
2.3.6	Dischi a stato solido	99
2.3.7	CD-ROM	101
2.3.8	CD-registrabili	105
2.3.9	CD-riscrivibili	108
2.3.10	DVD	108
2.3.11	Blu-Ray	111
<b>2.4</b>	<b>Input/Output</b>	<b>111</b>
2.4.1	Bus	111
2.4.2	Terminali	115
2.4.3	Mouse	121
2.4.4	Controller per videogiochi	123
2.4.5	Stampanti	125
2.4.5	Apparecchiature per le telecomunicazioni	130
2.4.6	Macchine fotografiche digitali	139
2.4.7	Codifica dei caratteri	141
<b>2.5</b>	<b>Riepilogo</b>	<b>146</b>
<b>Capitolo 3</b>	<b>Livello logico digitale</b>	<b>151</b>
<b>3.1</b>	<b>Porte logiche e algebra di Boole</b>	<b>151</b>
3.1.1	Porte logiche	152
3.1.2	Algebra di Boole	154
3.1.3	Implementazione delle funzioni booleane	156
3.1.4	Equivalenza di circuiti	158

<b>3.2</b>	<b>Circuiti logici digitali elementari</b>	<b>162</b>
3.2.1	Circuiti integrati	162
3.2.2	Reti combinatorie	163
3.2.3	Circuiti per l'aritmetica	169
3.2.4	Clock	173
<b>3.3</b>	<b>Memoria</b>	<b>174</b>
3.3.1	Latch	175
3.3.2	Flip-flop	177
3.3.3	Registri	180
3.3.4	Organizzazione della memoria	180
3.3.5	Chip di memoria	183
3.3.6	RAM e ROM	186
<b>3.4</b>	<b>Chip della CPU e bus</b>	<b>191</b>
3.4.1	Chip della CPU	192
3.4.2	Bus del calcolatore	194
3.4.3	Ampiezza del bus	196
3.4.4	Temporizzazione del bus	198
3.4.5	Arbitraggio del bus	202
3.4.6	Operazioni del bus	205
<b>3.5</b>	<b>Esempi di chip della CPU</b>	<b>208</b>
3.5.1	Intel Core i7	208
3.5.2	Texas Instruments OMAP4430	215
3.5.3	Il microcontrollore Atmel ATmega168	219
<b>3.6</b>	<b>Esempi di bus</b>	<b>221</b>
3.6.1	Bus PCI	222
3.6.2	PCI Express	230
3.6.3	Universal Serial Bus	235
<b>3.7</b>	<b>Interfacce</b>	<b>239</b>
3.7.1	Interfacce di I/O	239
3.7.2	Decodifica dell'indirizzo	240
<b>3.8</b>	<b>Riepilogo</b>	<b>243</b>
<b>Capitolo 4</b>	<b>Livello di microarchitettura</b>	<b>249</b>
<b>4.1</b>	<b>Esempio di microarchitettura</b>	<b>249</b>
4.1.1	Percorso dati	250
4.1.2	Microistruzioni	257
4.1.3	Unità di controllo microprogrammata: Mic-1	259
<b>4.2</b>	<b>Esempio di ISA: IJVM</b>	<b>264</b>
4.2.1	Stack	264
4.2.2	Modello della memoria di IJVM	267

4.2.3	Insieme d'istruzioni IJVM	268
4.2.4	Compilazione da Java a IJVM	273
<b>4.3</b>	<b>Implementazione di esempio</b>	<b>274</b>
4.3.1	Microistruzioni e notazione	274
4.3.2	Implementazione di IJVM con Mic-1	279
<b>4.4</b>	<b>Progettazione del livello di microarchitettura</b>	<b>291</b>
4.4.1	Velocità/costi	292
4.4.2	Riduzione della lunghezza del percorso di esecuzione	294
4.4.3	Architettura con prefetching: Mic-2	301
4.4.4	Architettura a pipeline: Mic-3	305
4.4.5	Pipeline a sette stadi: Mic-4	310
<b>4.5</b>	<b>Miglioramento delle prestazioni</b>	<b>314</b>
4.5.1	Memoria cache	314
4.5.2	Predizione dei salti	321
4.5.3	Esecuzione fuori sequenza e rinomina dei registri	326
4.5.4	Esecuzione speculativa	332
<b>4.6</b>	<b>Esempi del livello di microarchitettura</b>	<b>334</b>
4.6.1	Microarchitettura della CPU Core i7	335
4.6.2	Microarchitettura della CPU OMAP4430	341
4.6.3	Microarchitettura del microcontrollore ATmega168	346
<b>4.7</b>	<b>Confronto tra i7, OMAP4430 e ATmega168</b>	<b>348</b>
<b>4.8</b>	<b>Riepilogo</b>	<b>349</b>
<b>Capitolo 5</b>	<b>Livello di architettura dell'insieme d'istruzioni</b>	<b>353</b>
<b>5.1</b>	<b>Panoramica del livello ISA</b>	<b>355</b>
5.1.1	Proprietà del livello ISA	355
5.1.2	Modelli di memoria	357
5.1.3	Registri	359
5.1.4	Istruzioni	361
5.1.5	Panoramica del livello ISA del Core i7	361
5.1.6	Panoramica del livello ISA dell'OMAP4430 ARM	363
5.1.7	Panoramica del livello ISA dell'ATmega168 AVR	366
<b>5.2</b>	<b>Tipi di dati</b>	<b>367</b>
5.2.1	Tipi di dati numerici	368
5.2.2	Tipi di dati non numerici	369
5.2.3	Tipi di dati del Core i7	370
5.2.4	Tipi di dati dell'OMAP4430 ARM	370
5.2.5	Tipi di dati dell'ATmega168	371
<b>5.3</b>	<b>Formati d'istruzione</b>	<b>371</b>
5.3.1	Criteri progettuali per i formati d'istruzioni	372
5.3.2	Codice operativo espandibile	374
5.3.3	Formati delle istruzioni del Core i7	377
5.3.4	Formati delle istruzioni dell'OMAP4430 ARM	378
5.3.5	Formati delle istruzioni dell'ATmega168 AVR	380
<b>5.4</b>	<b>Indirizzamento</b>	<b>381</b>
5.4.1	Modalità d'indirizzamento	381
5.4.2	Indirizzamento immediato	381
5.4.3	Indirizzamento diretto	382
5.4.4	Indirizzamento a registro	382
5.4.5	<b>Indirizzamento a registro indiretto</b>	<b>382</b>
5.4.6	Indirizzamento indicizzato	384
5.4.7	Indirizzamento indicizzato esteso	385
5.4.8	Indirizzamento a stack	386
5.4.9	Modalità d'indirizzamento per istruzioni di salto	389
5.4.10	Ortogonalità dei codici operativi e delle modalità d'indirizzamento	390
5.4.11	Modalità d'indirizzamento del Core i7	392
5.4.12	Modalità d'indirizzamento dell'OMAP4430	394
5.4.13	Modalità d'indirizzamento dell'ATmega168 AVR	394
5.4.14	Analisi delle modalità d'indirizzamento	395
<b>5.5</b>	<b>Tipi d'istruzioni</b>	<b>396</b>
5.5.1	Istruzioni di trasferimento dati	396
5.5.2	Operazioni binarie	397
5.5.3	Operazioni unarie	398
5.5.4	Confronti e salti condizionati	400
5.5.5	Invocazione di procedura	402
5.5.6	Istruzioni di ciclo	403
5.5.7	Input/Output	404
5.5.8	Istruzioni del Core i7	407
5.5.9	Istruzioni della CPU ARM OMAP4430	410
5.5.10	Istruzioni dell'ATmega168 AVR	412
5.5.11	Insiemi d'istruzioni a confronto	414
<b>5.6</b>	<b>Controllo del flusso</b>	<b>415</b>
5.6.1	Flusso sequenziale e diramazioni	415
5.6.2	Procedure	416
5.6.3	Coroutine	421
5.6.4	Trap	423
5.6.5	Interrupt	424

<b>5.7 Un esempio: le torri di Hanoi</b>	<b>428</b>
5.7.1 Le torri di Hanoi nel linguaggio assembler del Core i7	428
5.7.2 Le torri di Hanoi nel linguaggio assembler dell'OMAP4430 ARM	430
<b>5.8 Architettura IA-64 e Itanium 2</b>	<b>431</b>
5.8.1 Il problema dell'ISA IA-32	432
5.8.2 Modello IA-64 e calcolo che utilizza il parallelismo esplicito	433
5.8.3 Riduzione degli accessi in memoria	434
5.8.4 Scheduling delle istruzioni	436
5.8.5 Riduzione dei salti condizionati: attribuzione di predicati	439
5.8.6 Caricamenti speculativi	440
<b>5.9 Riepilogo</b>	<b>445</b>
<b>Capitolo 6 Livello macchina del sistema operativo</b>	<b>446</b>
<b>6.1 Memoria virtuale</b>	<b>447</b>
6.1.1 Paginazione	449
6.1.2 Implementazione della paginazione	452
6.1.3 Paginazione a richiesta e working set	454
6.1.4 Politica di sostituzione delle pagine	456
6.1.5 Dimensione di pagina e frammentazione	457
6.1.6 Segmentazione	461
6.1.7 Implementazione della segmentazione	464
6.1.8 Memoria virtuale del Core i7	468
6.1.9 Memoria virtuale della CPU ARM OMAP4430	471
6.1.10 Memoria virtuale e caching	471
<b>6.2 Virtualizzazione hardware</b>	<b>473</b>
6.2.1 Virtualizzazione hardware nel Core i7	474
<b>6.3 Istruzioni di I/O a livello OSM</b>	<b>475</b>
6.3.1 File	475
6.3.2 Implementazione delle istruzioni di I/O a livello OSM	479
6.3.3 Istruzioni per la gestione di directory	481
<b>6.4 Istruzioni per il calcolo parallelo a livello OSM</b>	<b>481</b>
6.4.1 Creazione dei processi	482
6.4.2 Corsa critica	486
6.4.3 Sincronizzazione dei processi tramite semafori	490
<b>6.5 Sistemi operativi di esempio</b>	<b>490</b>
6.5.1 Introduzione	496
6.5.2 Esempi di memoria virtuale	

6.5.3 Esempi di I/O a livello OS	500
6.5.4 Esempi di gestione dei processi	512
<b>6.6 Riepilogo</b>	<b>518</b>
<b>Capitolo 7 Livello del linguaggio assembler</b>	<b>525</b>
<b>7.1 Introduzione al linguaggio assembler</b>	<b>526</b>
7.1.1 Che cos'è un linguaggio assembler	526
7.1.2 Perché usare il linguaggio assembler	527
7.1.3 Formato delle istruzioni del linguaggio assembler	528
7.1.4 Pseudoistruzioni	530
<b>7.2 Macroistruzioni</b>	<b>532</b>
7.2.1 Definizione, chiamata ed espansione di macro	533
7.2.2 Macro con parametri	535
7.2.3 Caratteristiche avanzate	535
7.2.4 Implementazione delle funzionalità macro negli assembler	536
<b>7.3 Processo di assemblaggio</b>	<b>537</b>
7.3.1 Assembler a due passate	537
7.3.2 Prima passata	538
7.3.3 Seconda passata	542
7.3.4 Tabella dei simboli	544
<b>7.4 Collegamento e caricamento</b>	<b>546</b>
7.4.1 Compiti del linker	547
7.4.2 Struttura di un modulo oggetto	550
7.4.3 Rilocazione a tempo del binding e dinamica	551
7.4.4 Collegamento dinamico	554
<b>7.5 Riepilogo</b>	<b>558</b>
<b>Capitolo 8 Architetture per il calcolo parallelo</b>	<b>561</b>
<b>8.1 Parallelismo nel chip</b>	<b>562</b>
8.1.1 Parallelismo a livello delle istruzioni	563
8.1.2 Multithreading nel chip	570
8.1.3 Multiprocessori in un solo chip	576
<b>8.2 Coprocessori</b>	<b>582</b>
8.2.1 Processori di rete	583
8.2.2 Processori grafici	591
8.2.3 Crittoprocessori	594
<b>8.3 Multiprocessori con memoria condivisa</b>	<b>594</b>
8.3.1 Multiprocessori e multicomputer a confronto	594
8.3.2 Semantica della memoria	602

8.3.3	Architetture di multiprocessori simmetrici UMA	606
8.3.4	Multiprocessori NUMA	614
8.3.5	Multiprocessori COMA	623
<b>8.4</b>	<b>Multicomputer a scambio di messaggi</b>	<b>625</b>
8.4.1	Reti d'interconnessione	626
8.4.2	MPP: processori massicciamente paralleli	630
8.4.3	Cluster	640
8.4.4	Software di comunicazione per multicomputer	645
8.4.5	Scheduling	648
8.4.6	Memoria condivisa a livello applicativo	649
8.4.7	Prestazioni	657
<b>8.5</b>	<b>Grid computing</b>	<b>663</b>
<b>8.6</b>	<b>Riepilogo</b>	<b>666</b>
<b>Capitolo 9 Bibliografia</b>		<b>671</b>
<b>Appendice A Aritmetica binaria</b>		<b>681</b>
<b>A.1</b>	<b>Numeri a precisione finita</b>	<b>681</b>
<b>A.2</b>	<b>Sistemi di numerazione in base fissa</b>	<b>683</b>
<b>A.3</b>	<b>Conversione tra basi</b>	<b>684</b>
<b>A.4</b>	<b>Numeri binari negativi</b>	<b>688</b>
<b>A.5</b>	<b>Aritmetica binaria</b>	<b>690</b>
<b>Appendice B Numeri in virgola mobile</b>		<b>693</b>
<b>B.1</b>	<b>Principi dell'aritmetica in virgola mobile</b>	<b>693</b>
<b>B.2</b>	<b>Standard in virgola mobile IEEE 754</b>	<b>696</b>
<b>Appendice C Programmazione in linguaggio assembly</b>		<b>703</b>
<b>C.1</b>	<b>Panoramica</b>	<b>704</b>
C.1.1	Linguaggio assembly	704
C.1.2	Breve programma in linguaggio assembly	705
<b>C.2</b>	<b>Processore 8088</b>	<b>706</b>
C.2.1	Ciclo del processore	706
C.2.2	Registri d'uso generale	708
C.2.3	Registri puntatore	709
<b>C.3</b>	<b>Memoria e indirizzamento</b>	<b>710</b>
C.3.1	Organizzazione di memoria e segmenti	711
C.3.2	Indirizzamento	712

<b>C.4</b>	<b>Istruzioni dell'8088</b>	<b>715</b>
C.4.1	Trasferimento, copia e aritmetica	716
C.4.2	Operazioni logiche, su bit e di scorrimento	718
C.4.3	Cicli e operazioni iterative su stringhe	719
C.4.4	Istruzioni di salto e di chiamata	720
C.4.5	Chiamate di subroutine	722
C.4.6	Chiamate di sistema e subroutine di sistema	723
C.4.7	Osservazioni sull'insieme d'istruzioni	725
<b>C.5</b>	<b>Assemblatore</b>	<b>726</b>
C.5.1	Introduzione	726
C.5.2	as88, un assemblatore basato su ACK	727
C.5.3	Differenze tra assembleri dell'8088	731
<b>C.6</b>	<b>Tracer</b>	<b>732</b>
C.6.1	Comandi del tracer	734
<b>C.7</b>	<b>Installazione</b>	<b>735</b>
<b>C.8</b>	<b>Esempi</b>	<b>736</b>
C.8.1	Esempio Hello World	737
C.8.2	Esempio con i registri d'uso generale	740
C.8.3	Istruzioni di chiamata e puntatori ai registri	741
C.8.4	Debugging di un programma per la stampa di array	744
C.8.5	Manipolazione di stringhe e istruzioni su stringhe	747
C.8.6	Tabella di salto	750
C.8.7	File: accesso diretto e accesso bufferizzato	752

<b>Indice analitico</b>	<b>757</b>
-------------------------	------------