

## XIII Prefazione

### 3 **Capitolo 1 Classificazioni e concetti base**

3 1.1 Sistemi - Un approccio gerarchico

4 1.2 Sistemi basati su componenti programmabili

1.2.1 Concetto di Sistema di Elaborazione, p. 5 - 1.2.2 Architettura a livelli, p. 5

7 1.3 Dati e Controllo

1.3.1 Ingressi e uscite, p. 7 - 1.3.2 Unità di Controllo e Unità Operativa, p. 8

8 1.4 Tassonomie e classificazioni dei Sistemi

1.4.1 Classificazione in base alla codifica dell'informazione, p. 9 - 1.4.2 Classificazione in base al comportamento delle uscite rispetto agli ingressi, p. 9 - 1.4.3 Classificazione in base al comportamento delle operazioni rispetto agli ingressi, p. 10 - 1.4.4 Classificazione in base al modello architetturale, p. 10 - 1.4.5 Classificazione in base alla funzione svolta dal singolo nodo di elaborazione, p. 14 - 1.4.6 Classificazione in base alla Implementazione, p. 14 - 1.4.7 Classificazione in base alla dimensione fisica e/o alla tipologia di mercato, p. 17

19 1.5 Formalismi e metodologie di rappresentazione

1.5.1 Livello Processing Element, p. 22 - 1.5.2 Livello Trasferimento tra Registri, p. 22 - 1.5.3 Livello Logico, p. 25 - 1.5.4 Livello Dispositivo, p. 26 - 1.5.5 Tabella riassuntiva, p. 26 - 1.5.6 Ruolo della matrice delle rappresentazioni - Un esempio pratico, p. 26

30 1.6 Diversi punti di vista

### 35 **Capitolo 2 Livelli funzionali di un sistema**

35 2.1 Introduzione

36 2.2 Alcuni concetti fondamentali

2.2.1 Rappresentazione dell'informazione, p. 36 - 2.2.2 Modelli di calcolo e di esecuzione, p. 37

- 40 2.3 Architettura di riferimento  
2.3.1 Architetture di tipo «von Neumann», p. 41 - 2.3.2 Architetture di tipo «Harvard», p. 41 - 2.3.3 Memoria, p. 42 - 2.3.4 Sistemi di I/O, p. 44 - 2.3.5 Sistemi di interconnessione, p. 45 - 2.3.6 Sistemi di memoria, p. 47
- 50 2.4 Principio base di funzionamento  
2.4.1 Svolgimento delle operazioni, p. 51 - 2.4.2 Interruzioni, p. 53 - 2.4.3 Modi operativi di un processore, p. 55 - 2.4.4 Contesto di elaborazione, p. 55
- 60 2.5 Ciclo di sviluppo di un programma  
2.5.1 Allocazione dei programmi nella memoria, p. 62
- 64 2.6 Il Sistema Operativo  
2.6.1 Modi di funzionamento, p. 64 - 2.6.2 Gestione dei processi, p. 65 - 2.6.3 Gestione della memoria, p. 66 - 2.6.4 Gestione della CPU, p. 67
- 67 2.7 Alcune soluzioni architetturali  
2.7.1 Architetture a registri generali, p. 67 - 2.7.2 Architetture «a stack», p. 68 - 2.7.3 Architetture «pipelined», p. 69 - 2.7.4 Architetture «RISC» e «CISC», p. 71
- 75 **Capitolo 3 Architettura interna del processore**
- 75 3.1 Le unità del processore  
3.1.1 Interazione con la memoria, p. 76
- 77 3.2 L'Unità Operativa  
3.2.1 I registri del processore, p. 77 - 3.2.2 Registri speciali, p. 78 - 3.2.3 L'Unità di Elaborazione, p. 79
- 82 3.3 L'Unità di Controllo
- 83 3.4 Principi di funzionamento dell'architettura interna di un processore  
3.4.1 Classificazione dei codici operativi, p. 83 - 3.4.2 Istruzioni e microfasi, p. 83
- 88 3.5 Principi di progettazione dell'Unità di Controllo
- 91 **Capitolo 4 Instruction Set Architecture**
- 91 4.1 Livello ISA e modello di programmazione di un processore  
4.1.1 Istruzioni macchina, p. 93 - 4.1.2 Ortogonalità e Quasi-ortogonalità, p. 94 - 4.1.3 Compatibilità del livello ISA, p. 94
- 95 4.2 Formato delle istruzioni
- 98 4.3 Modi di indirizzamento  
4.3.1 Modi di indirizzamento di base, p. 99 - 4.3.2 Esempi d'uso dei modi di indirizzamento di base, p. 102 - 4.3.3 Modi di indirizzamento con modifiche di indirizzo, p. 104
- 108 4.4 Codifica delle istruzioni
- 112 4.5 Famiglie di istruzioni in linguaggio macchina  
4.5.1 Istruzioni per il trasferimento dati, p. 114 - 4.5.2 Istruzioni aritmetiche e logiche, p. 114 - 4.5.3 Istruzioni per il controllo del flusso, p. 117 - 4.5.4 Istruzioni per la gestione dei sottoprogrammi, p. 118 - 4.5.5 Istruzioni di servizio per la gestione del processore e del sistema, p. 118 - 4.5.6 Istruzioni miscellanee, p. 119

- 121 **Capitolo 5 Programmazione di sistema**
- 122 5.1 Linguaggio assembler e strumenti di sviluppo  
5.1.1 Assemblatore, p. 123 - 5.1.2 Macro Istruzioni, Pseudo Istruzioni e Compilazione Condizionata, p. 130 - 5.1.3 Linker, p. 133 - 5.1.4 Loader, p. 134 - 5.1.5 Debugger, p. 134
- 135 5.2 Allocazione in memoria dei programmi  
5.2.1 Allocazione statica, p. 135 - 5.2.2 Rilocalizzazione statica, p. 135 - 5.2.3 Rilocalizzazione dinamica, p. 136
- 136 5.3 Programmazione in linguaggio Assembler  
5.3.1 Rappresentazione in assembler dei principali tipi di dati del linguaggio C, p. 137 - 5.3.2 Implementazione in assembler dei principali costrutti della programmazione strutturata, p. 141 - 5.3.3 Sottoprogrammi in assembler, p. 147 - 5.3.4 Struttura di un programma assembler, p. 152
- 154 5.4 Esempi di programmi assembler
- 162 5.5 Gli ambienti di sviluppo integrati
- 167 **Capitolo 6 Sistemi di interconnessione, bus e protocolli**
- 167 6.1 Generalità sui sistemi di interconnessione  
6.1.1 Canale trasmissivo, p. 169 - 6.1.2 Parametri caratteristici di un sistema di comunicazione, p. 169
- 169 6.2 Generalità sui bus  
6.2.1 Principio di funzionamento di un bus realizzato su schede, p. 171
- 172 6.3 Evoluzione dei sistemi di interconnessione  
6.3.1 Dai bus proprietari a quelli standard, p. 172 - 6.3.2 Bus gerarchici, p. 174 - 6.3.3 Reti di interconnessione, p. 175 - 6.3.4 Bus implementati su singolo chip, p. 175
- 178 6.4 Protocolli di comunicazione  
6.4.1 Elementi che influenzano la scelta un protocollo, p. 179 - 6.4.2 Organizzazione temporale di un protocollo, p. 179 - 6.4.3 Concetto di master e relativi protocolli, p. 180 - 6.4.4 Specifica di un protocollo, p. 180 - 6.4.5 Protocolli sincroni e asincroni, p. 181 - 6.4.6 Protocolli asincroni di «handshake», p. 182
- 189 6.5 Esempi di trasferimenti su bus  
6.5.1 Esempi di trasferimenti su bus fra processore e memoria, p. 190
- 194 6.6 Bus paralleli  
6.6.1 Bus asincrono Motorola VMEbus, p. 195 - 6.6.2 Bus PCI, p. 197 - 6.6.3 Bus AMBA, p. 198
- 200 6.7 Bus seriali  
6.7.1 SPI, p. 200 - 6.7.2 I2C, p. 202 - 6.7.3 FireWire, p. 204 - 6.7.4 USB, p. 205
- 206 6.8 Protocolli di arbitraggio di una risorsa  
6.8.1 Protocollo daisy-chain, p. 207 - 6.8.2 Protocollo polling, p. 207 - 6.8.3 Protocollo handshake, p. 208
- 209 6.9 Modelli e proprietà delle reti di interconnessione

**213 Capitolo 7 Sistema delle memorie**

- 214 7.1 Gerarchia delle memorie  
7.1.1 Principio di località, p. 214 - 7.1.2 Sistemi gerarchici di memoria a due livelli, p. 215 - 7.1.3 Prestazioni dei sistemi gerarchici di memoria, p. 217
- 218 7.2 Memorie Cache  
7.2.1 Principio generale di funzionamento delle cache, p. 219 - 7.2.2 Architettura interna di una cache, p. 220 - 7.2.3 Politiche di sostituzione, p. 223 - 7.2.4 Gestione dell'allineamento, p. 224 - 7.2.5 Cache a più livelli, p. 225 - 7.2.6 Cache in sistemi multi-core, p. 226
- 227 7.3 Memoria Virtuale  
7.3.1 Principio generale di funzionamento, p. 227 - 7.3.2 Cache e memoria virtuale, p. 231

**235 Capitolo 8 Sistema delle interruzioni**

- 235 8.1 Sistema delle interruzioni
- 236 8.2 Servizio delle interruzioni  
8.2.1 Interruzioni edge-triggered, a livello e a messaggi, p. 240
- 242 8.3 Gestione delle interruzioni in processori commerciali  
8.3.1 Interruzioni nei processori Motorola a 8 bit MC 6800 e a 32 bit MC 68000, p. 242 - 8.3.2 Interruzioni nel processore Intel 8086, p. 248 - 8.3.3 Interruzioni nel processore ARM, p. 249 - 8.3.4 Interruzioni nei processori MIPS, p. 252 - 8.3.5 Interruzioni nel processore SPARC, p. 255
- 257 8.4 Esempi di ISR in linguaggio assembler
- 261 8.5 Dispositivi per la gestione prioritaria delle interruzioni PIC
- 264 8.6 Gestione delle interruzioni in processori con pipeline

**269 Capitolo 9 Sistema di I/O**

- 269 9.1 Periferiche e gestione dell'I/O  
9.1.1 Evoluzione storica, p. 269 - 9.1.2 Caratterizzazione delle periferiche, p. 270 - 9.1.3 Possibili ottimizzazioni, p. 271
- 272 9.2 Architettura interna di una interfaccia  
9.2.1 Principio di funzionamento di un'interfaccia, p. 273 - 9.2.2 Connessione interfaccia-periferica, p. 274 - 9.2.3 Architettura di una periferica, p. 274
- 274 9.3 Modello dell'architettura del sistema di I/O e driver  
9.3.1 Modalità di gestione di un driver tramite il meccanismo delle interruzioni, p. 277
- 278 9.4 Gestione di una interfaccia da parte del processore
- 279 9.5 Periferiche per la trasmissione dati  
9.5.1 Dispositivi per la trasmissione parallela, p. 281 - 9.5.2 Dispositivi per la trasmissione seriale, p. 283
- 291 9.6 Dispositivo timer programmabile
- 292 9.7 Interfacce attive e dispositivi DMA per l'accesso diretto alla memoria
- 296 9.8 Moduli e processori di I/O

**299 Appendici****301 Appendice A Codifica e trasmissione dei segnali**

- 301 A.1 Informazioni e Segnali  
A.1.1 Rappresentazione in logica positiva o negativa, p. 302 - A.1.2 Segnali 0-attivi e 1-attivi, p. 302 - A.1.3 Concetto di *cella bit*, p. 302 - A.1.4 Canali trasmissivi, p. 302 - A.1.5 Codifiche di linea, p. 304
- 308 A.2 Trasmissione seriale e parallela  
A.2.1 Modulazione di un segnale, p. 309

**313 Appendice B Modellizzazione dei circuiti digitali**

- 313 B.1 Circuiti Combinatori e Sequenziali  
B.1.1 Il modello di Huffman, p. 313
- 314 B.2 Circuiti sincroni e asincroni  
B.2.1 Segnali di temporizzazione, p. 315 - B.2.2 Modello di FSM orientata alla "riusabilità", p. 316 - B.2.3 Unità Operativa e Unità di Controllo all'interno delle FSM, p. 316

**319 Appendice C Evoluzione tecnologica**

- 319 C.1 La legge di Moore
- 320 C.2 Trend tecnologici  
C.2.1 System-on-Chip (SoC) e IP-core, p. 321 - C.2.2 Microcontrollori e Arduino, p. 323 - C.2.3 System-in-package (SiP) e 3-D packaging, p. 324
- 325 C.3 FPGA e dispositivi logici programmabili  
C.3.1 Architettura interna di una FPGA, p. 325

**331 Appendice D Componenti funzionali a livello RT**

- 331 D.1 Introduzione
- 332 D.2 Componenti combinatori  
D.2.1 Multiplexer, p. 332 - D.2.2 Demultiplexer, p. 332 - D.2.3 Codificatori a priorità, p. 334 - D.2.4 Decodificatori, p. 334 - D.2.5 Componenti aritmetici, p. 335
- 337 D.3 Componenti sequenziali  
D.3.1 Segnali comuni, p. 337 - D.3.2 Flip-Flop e latch, p. 338 - D.3.3 Registri, p. 339 - D.3.4 Contatori, p. 339 - D.3.5 Registri a scorrimento (Shift Register), p. 340 - D.3.6 Registri a scorrimento seriali, p. 342 - D.3.7 Barrel Shifter, p. 342 - D.3.8 Memorie RAM, p. 342

**347 Appendice E Dispositivi di memoria**

- 347 E.1 Parametri caratteristici delle memorie

- 347 E.2 Tassonomia delle memorie
- 348 E.3 Architettura esterna vs. Organizzazione interna
- 349 E.4 Memorie volatili
  - E.4.1 Memorie sincrone, p. 349 - E.4.2 Memorie asincrone, p. 350 - E.4.3 Memorie DRAM, p. 351 - E.4.4 Memorie SRAM, p. 356
- 357 E.5 Memorie non volatili
  - E.5.1 Memorie ROM, p. 357 - E.5.2 Memorie Flash, p. 358 - E.5.3 Memorie Universali, p. 360
- 361 E.6 Memorie accessibili per contenuto
  - E.6.1 TCAM, p. 362
- 362 E.7 Memorie accessibili per ordine di scrittura
- 363 E.8 Temi comuni
  - E.8.1 Reset delle memorie, p. 363 - E.8.2 Memorie con correzione di errori, p. 363 - E.8.3 Mercato mondiale delle memorie, p. 365 - E.8.4 Standard internazionali per le memorie, p. 365
- 366 E.9 Tabella comparativa
  
- 369 **Appendice F Memorie di massa**
- 369 F.1 Introduzione
- 369 F.2 Dischi magnetici
  - F.2.1 Concetti generali, p. 369 - F.2.2 Organizzazione dei dati, p. 371 - F.2.3 Tempo di accesso, p. 372 - F.2.4 Velocità di trasferimento, p. 372 - F.2.5 Collegamento tra i dischi e il computer, p. 372
- 375 F.3 Dischi ottici
  - F.3.1 La memorizzazione ottica, p. 375 - F.3.2 CD-ROM, p. 375 - F.3.3 DVD, p. 376 - F.3.4 BLU-RAY, p. 376
- 376 F.4 Dischi a stato solido - SSD
- 377 F.5 Nastri magnetici
- 378 F.6 Architetture RAID
- 380 F.7 Memorie per sistemi distribuiti
  
- 383 **Appendice G1 ISA del processore ARM**
- 383 G1.1 Architettura del processore ARM
- 384 G1.2 L'architettura del processore e la sua evoluzione
  - G1.2.1 ARM7, p. 384 - G1.2.2 ARM9, p. 384 - G1.2.3 ARM11, p. 386 - G1.2.4 ARM e soc, p. 386
- 386 G1.3 Architettura e modello di programmazione
- 387 G1.4 Set di istruzioni
  - G1.4.1 Istruzioni di salto, p. 387 - G1.4.2 Istruzioni di load e store, p. 388 - G1.4.3 Istruzioni di elaborazione dei dati, p. 389
- 390 G1.5 Modi di indirizzamento

G1.5.1 Modi di indirizzamento nelle istruzioni di elaborazione dati, p. 390 - G1.5.2 Modi di indirizzamento nelle istruzioni di Load e di Store, p. 391

### 393 **Appendice G2 ISA del processore Motorola MC68000**

- 393 G2.1 Architettura del processore MC68000
  - G2.1.1 Evoluzione della famiglia, p. 393 - G2.1.2 Architettura, p. 394 - G2.1.3 I registri, p. 394
- 395 G2.2 Le istruzioni
  - G2.2.1 I modi di indirizzamento, p. 396 - G2.2.2 Istruzioni di trasferimento dati, p. 396 - G2.2.3 Move e Load verso registri di indirizzamento e registri speciali, p. 397 - G2.2.4 Operazioni sullo stack, p. 397 - G2.2.5 Istruzioni aritmetiche e logiche, p. 397 - G2.2.6 Istruzioni di salto, p. 399

### 403 **Appendice G3 ISA del processore MIPS**

- 403 G3.1 Architettura del processore MIPS
  - G3.1.1 Evoluzione della famiglia, p. 403 - G3.1.2 I registri, p. 403
- 404 G3.2 Istruzioni
  - G3.2.1 Istruzioni di tipo R, p. 405 - G3.2.2 Istruzioni di tipo I, p. 405 - G3.2.3 Istruzioni di tipo J, p. 406 - G3.2.4 Istruzioni per la manipolazione di costanti grandi, p. 406 - G3.2.5 System call, p. 407
- 407 G3.3 I modi di indirizzamento
- 408 G3.4 Operazioni di chiamata a procedura e gestione dello stack

### 409 **Appendice H Cenni storici**

- 409 H.1 L'evoluzione dei sistemi di calcolo
  - H.1.1 Gli albori, p. 409 - H.1.2 I precursori, p. 410 - H.1.3 Gli aspetti teorici, p. 410 - H.1.4 I primi calcolatori, p. 411 - H.1.5 Le iniziative in Italia, p. 412 - H.1.6 I minicalcolatori, p. 413 - H.1.7 I microprocessori e i personal computer, p. 414 - H.1.8 Il software, p. 414 - H.1.9 Il calcolo parallelo, p. 414

### 417 **Indice analitico**