

DANIEL P. BOVET

INTRODUZIONE ALL'ARCHITETTURA DEI CALCOLATORI

[Faint, illegible handwritten text]

ZANICHELLI

INDICE

PREFAZIONE	xi
1 RAPPRESENTAZIONE DELL'INFORMAZIONE	1
1.1 Tecniche di rappresentazione dell'informazione	2
1.2 Numeri naturali	3
1.2.1 Relazione tra lunghezza e valore di un numero	6
1.2.2 Numeri come parole di lunghezza fissa	7
1.2.3 Operazioni aritmetiche sui numeri naturali	8
1.2.4 Cambiamenti di base	9
1.2.5 Base binaria	10
1.2.6 Base ottima per i numeri naturali	11
1.3 Numeri interi	12
1.3.1 Rappresentazione col segno	13
1.3.2 Rappresentazione in complemento alla base	14
1.3.3 Rappresentazione in complemento all'intervallo	15
1.3.4 Numeri in codice BCD	17
1.4 Numeri reali	19
1.4.1 Rappresentazione in virgola fissa	19
1.4.2 Rappresentazione in virgola mobile	21
1.4.3 Operazioni su numeri in virgola mobile	25
1.5 Caratteri alfanumerici	26
1.5.1 Sequenze di caratteri	27
Problemi	28
Note	29
2 TRASMISSIONE DELL'INFORMAZIONE	31
2.1 Sistemi di comunicazione	31
2.2 Messaggi, codici e codifiche	33
2.3 Ridondanza dell'informazione	34
2.4 Rilevazione e correzione degli errori	37

2.4.1	Controllo di parità	39
2.4.2	Controlli di parità longitudinali e trasversali	40
2.4.3	Codici ciclici	41
2.4.4	Codici di Hamming	43
	Problemi	44
	Note	45
3	L'ALGEBRA DI BOOLE	47
3.1	Algebra di Boole	47
3.2	L'algebra delle classi	48
3.3	Espressioni booleane	50
3.3.1	Espressioni booleane equivalenti	50
3.3.2	Rappresentazione semplificata di espressioni booleane	51
3.4	Proprietà dell'algebra di Boole	51
3.4.1	Estensione degli assiomi ad espressioni booleane	52
3.4.2	Principio di dualità	52
3.4.3	Altre regole fondamentali	53
3.5	Funzioni booleane	53
3.5.1	Funzioni ed espressioni booleane	54
3.5.2	Rappresentazioni canoniche di una funzione booleana	55
3.5.3	Forma canonica disgiuntiva	56
3.5.4	Forma canonica congiuntiva	57
3.5.5	Forme SOP e POS	58
3.6	Tecniche di minimizzazione	58
3.6.1	Le mappe di Karnaugh	59
3.6.2	Minimizzazione di funzioni booleane parziali	62
3.6.3	Metodo di Quine-McCluskey	63
3.6.4	Fase 1: determinazione degli implicanti primi	64
3.6.5	Fase 2: selezione degli implicanti primi	66
3.6.6	Una precisazione sulla minimizzazione	68
	Problemi	68
	Note	69
4	RETI COMBINATORIE	71
4.1	Porte	72
4.2	Reti combinatorie	75
4.3	Reti combinatorie e algebra di Boole	76
4.3.1	Porte a $k > 2$ ingressi	78
4.3.2	Porte CMOS	79
4.4	Sintesi di reti combinatorie	84
4.5	Esempi di reti combinatorie	85
4.5.1	Codificatori	85
4.5.2	Decodificatori	87
4.5.3	Decomposizione di funzioni	87
4.5.4	Addizionatore	88

4.5.5	Sottrattore	90
4.5.8	Sottrattore unario	91
4.5.7	Comparatore	92
	Problemi	93
	Note	94
5	MACCHINE SEQUENZIALI	97
5.1	Il limite delle reti combinatorie	97
5.2	Segnali orologio	98
5.3	Latch e flip flop	100
5.3.1	Realizzazione di un latch di tipo RS	101
5.3.2	Altri tipi di latch	104
5.4	Macchine sequenziali	106
5.5	Automi a stati finiti	107
5.5.1	Automi di Moore	110
5.5.2	Equivalenza tra i due modelli di automi	111
5.5.3	Minimizzazione degli stati	114
5.6	Sintesi di macchine sequenziali	118
5.6.1	Procedura di base	119
5.6.2	Tecniche di ottimizzazione	122
	Problemi	123
	Note	124
6	REGISTRI E MEMORIA	127
6.1	Cella elementare di memoria	128
x 6.2	Registri	130
6.3	Interconnessione tra registri	133
6.4	Interconnessione tramite reti	134
6.4.1	Interconnessione punto a punto	134
6.4.2	Interconnessione di tipo multiplexer a 1-m	135
6.4.3	Interconnessioni di tipo mesh	137
6.4.4	Trasferimenti simultanei	141
6.5	Interconnessione tramite bus	141
6.6	Moduli di memoria	143
6.6.1	Organizzazione interna	145
6.6.2	Criteri realizzativi	149
6.6.3	Collegamento di più moduli di memoria	151
	Problemi	154
	Note	155
7	ELABORAZIONI LOGICO/ARITMETICHE	157
7.1	Elaborazioni semplici	158
7.2	Addizione e sottrazione	160
7.2.1	Sottrazione	161
7.3	Scomimento aritmetico	161

7.3.1	Scorrimento aritmetico verso destra	162
7.3.2	Scorrimenti aritmetici di un numero variabile di posizioni	163
7.4	Elaborazioni complesse	167
7.4.1	Sistemi di controllo incondizionato	168
7.4.2	Sistemi di controllo condizionati	170
7.4.3	Macchine sequenziali e linguaggi	173
7.5	Moltiplicazione	174
7.6	Divisione	178
	Problemi	184
	Note	184
8	ORGANIZZAZIONE DEL CALCOLATORE	187
8.1	Macchine programmabili	188
8.1.1	Istruzioni, codici operativi e operandi	188
8.1.2	Ciclo di esecuzione delle istruzioni	192
8.2	Architettura di un calcolatore	194
8.2.1	Unità centrale di elaborazione	196
8.3	Microprogrammazione	197
8.3.1	Logica cablata e logica microprogrammata	201
8.4	Partenze a freddo	202
8.5	Cenni sui linguaggi assembleativi	203
	Problemi	205
	Note	206
9	ISTRUZIONI E TECNICHE DI INDIRIZZAMENTO	207
9.1	Tipi di istruzioni	207
9.2	Indirizzamento degli operandi	209
9.3	Codifica delle istruzioni	210
9.3.1	Registro di stato	211
9.4	La famiglia di microprocessori Intel 80x86	212
9.4.1	Registri programmabili	213
9.4.2	Istruzioni	215
9.4.3	Registri segmento	216
9.4.4	Indirizzamenti in real mode	216
9.4.5	Tecniche d'indirizzamento	218
9.4.6	Indirizzamenti di tipo Indiretto	220
9.4.7	Indirizzamento di tipo assoluto o Diretto	221
9.4.8	Indirizzamento di tipo Controllo Relativo	222
9.4.9	Codifica delle istruzioni	223
9.5	La famiglia di microprocessori PowerPC	226
9.5.1	Registri programmabili	226
9.5.2	Istruzioni	228
9.6	Programmazione modulare	228
9.6.1	Uso di pile per la realizzazione di sottoprogrammi	231
9.6.2	Attivazione di un sottoprogramma	233

9.6.3	Area di salvataggio	235
9.6.4	Supporto hardware per la gestione della pila	235
9.7	Insieme minimo di istruzioni	237
	Problemi	241
	Note	241
10	COLLEGAMENTO TRA SISTEMI ASINCRONI	243
10.1	Protocollo sincrono	244
10.2	Protocolli asincroni	245
10.3	Interruzioni automatiche	246
10.3.1	Realizzazione software dell'attesa passiva	249
10.3.2	Interruzione automatica di un programma	249
10.3.3	Gestione di più tipi di segnale di interruzione	251
10.3.4	Il protocollo polling/selecting	252
10.3.5	Mascheramento selettivo delle interruzioni	254
10.4	Condivisione del bus	257
	Problemi	260
	Note	260
11	INGRESSO/USCITA	263
11.1	Caratteristiche funzionali	264
11.1.1	Dischi magnetici	265
11.1.2	Stampanti	270
11.1.3	Convertitori A/D e D/A	271
11.1.4	Monitor	272
11.2	Interfacce di ingresso/uscita	273
11.3	Collegamento dell'interfaccia	275
11.3.1	Collegamento diretto	275
11.3.2	Collegamento tramite DMA	277
11.3.3	Processori di ingresso/uscita	280
	Problemi	281
	Note	282
12	SUPPORTO AL SISTEMA OPERATIVO	285
12.1	Riconoscimento di eventi speciali	286
12.1.1	Segnali di interruzione sincroni	287
12.1.2	Segnali di interruzione asincroni	288
12.2	Segmentazione degli indirizzi	290
12.3	Schemi di protezione	293
12.3.1	Istruzioni privilegiate	296
12.4	Supporto ai sistemi multiprocessori	297
	Problemi	301
	Note	301
	INDICE ANALITICO	303